

**Family list**

**1** family member for:

**JP3166737**

Derived from 1 application.

**1 MANUFACTURE OF THIN-FILM TRANSISTOR**

Publication info: **JP3166737 A** - 1991-07-18

---

Data supplied from the *esp@cenet* database - Worldwide

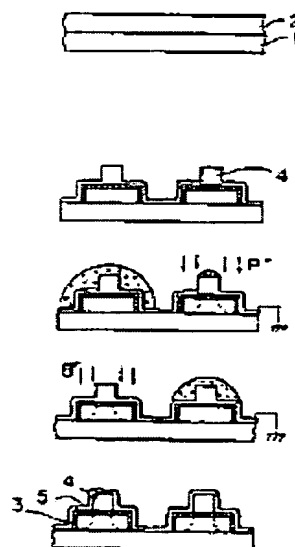
**MANUFACTURE OF THIN-FILM TRANSISTOR**

**Patent number:** JP3166737  
**Publication date:** 1991-07-18  
**Inventor:** KONDO NOBUAKI  
**Applicant:** RICOH KK  
**Classification:**  
- international: **H01L21/20; H01L21/336; H01L29/78; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L21/20; H01L21/336; H01L29/784**  
- european:  
**Application number:** JP19890306876 19891127  
**Priority number(s):** JP19890306876 19891127

**Report a data error here**

**Abstract of JP3166737**

**PURPOSE:**To prevent breakdown due to charge-up without increasing film formation processes by forming a conductive film in specific thickness onto the whole surface of a substrate, shaping Nch and/or Pch regions through the doping of impurities and changing the properties of the conductive film into an inter-layer insulating film. **CONSTITUTION:**A conductive film 4 for a gate electrode is deposited onto a substrate 1, the conductive films 4 in thickness of 200-600Angstrom are also left in sections except the gate electrode at the same time as a change into a gate pattern, Nch and/or Pch regions are shaped through the doping of an impurity, and the conductive films 4 are modified into inter-layer insulating films 5. Accordingly, processes are shortened because an antistatic film is simultaneously formed at the time of ion implantation by leaving the thin-films in 200-600Angstrom at the time of formation of the gate electrode, and generation of a defective transistor due to charge-up can be avoided.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-166737

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月18日

H 01 L 21/336  
21/20  
29/784

7739-5F

9056-5F

H 01 L 29/78

3 1 1 Y

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 薄膜トランジスタの製法

⑯ 特 願 平1-306876

⑰ 出 願 平1(1989)11月27日

⑱ 発 明 者 近 藤 信 昭 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑳ 代 理 人 弁 理 士 友 松 英 爾

明 細 書

1. 発明の名称

薄膜トランジスタの製法

2. 特許請求の範囲

1. 絶縁基板上に半導体素子を形成する方法において、基板上にゲート電極用導電膜を堆積し、ゲートパターン化と同時にゲート電極以外の箇所にも厚さ200～600Åの前記導電膜を残し、ついで不純物のドーピングを行い、Nchおよび/またはPch領域を形成し、前記導電膜を層間絶縁膜に変質させることを特徴とする薄膜トランジスタの製法。

3. 発明の詳細な説明

〔技術分野〕

本発明は、新規な薄膜トランジスタの製法に関する。

〔従来技術〕

絶縁基板上に半導体薄膜(TFT)を形成するにあたっては絶縁基板表面に生じた電荷をいかに外部に放散して絶縁破壊を防止するか

が課題となっている。特にTFTを形成する場合イオン注入によりチャージアップによる瞬間過剰電流から、いかに半導体素子を保護するかが問題となっている。

この問題点を解決するため特開昭60-133757号ではゲートを形成後、新たに導電膜を全面に成膜してチャージアップの防止をはかっている。これによりチャージアップ防止の目的は達成できるが、新しく1つの層と1つの成膜工程がそれぞれ増加することになり、コストアップの原因となっている。

〔構成〕

本発明は絶縁基板上に半導体素子を形成する方法において、基板全面に厚さ200～600Åの導電膜を形成後、不純物のドーピングを行い、Nchおよび/またはPch領域を形成し、前記導電膜を層間絶縁膜に変質させることを特徴とする薄膜トランジスタの製法に関する。

本発明のプロセフローを第1図をもとに説明する。

絶縁基板1上に活性層2となる多結晶シリコン(Poly-Si)を成膜して活性層を形成する(第1図A, B)。次にゲート絶縁膜3を500~1000Å形成(第1図C)した後ゲートのPoly-Siを再び成膜する(第1図D)。なお、従来はゲート4をここで形成し、再度導電膜を堆積(第2図A→B→C→D→E)し、その後イオン注入装置等にてN, P-ch領域にイオンを打込む工程(第2図F, G)をとるが、このため絶縁基板1上にチャージアップされた電荷の逃げ路がないため過剰電流によりTFTの絶縁破壊を起こしてトランジスタ特性不良や歩留りに悪影響を与えている。このようなチャージアップ防止のため、本発明はゲート4を形成する導電膜(Poly-Si)を全面に成膜(第1図D)した後、ゲートを形成する際、ゲート周りのPoly-Siを完全にエッチングせず、200~600Å残し(第1図E)。その後レジストによりマスクし、インプラにてN拡散領域、P拡散領域にイオンを打込む(第1図F, G)。

分以外の個所にも厚さ400ÅのPoly-Si層を導電膜4として残存させる(第1図E)。以降、常法によるイオン注入によりNch領域の形成(第1図F)、Pch領域の形成(第1図G)を経た後、導電膜としてのPoly-Si層4を熱酸化してSiO<sub>2</sub>よりなる層間絶縁膜5とする。

層間絶縁膜は前記膜5の上にもう1つの層間絶縁膜6をプラズマCVDで4000Å堆積することにより形成する。この5、6の2層を層間絶縁層とすることにより、クラック、ボイド、ピンホールが発生が絶無となった。また、400Å厚の導電膜の存在により、本実施例ではチャージアップによる不良率発生が0%となった。一方、従来法では60%であった。

#### (効果)

本発明により

- (1) チャージアップによるトランジスタの不良発生を完全に回避することができた。
- (2) 導電膜を熱酸化して層間絶縁膜としても充分、層間絶縁膜としての機能を達成する

打込んだ際の電荷は導電膜4が堆積された絶縁基板1の端部から接地され(第1図F, G)、放電される。イオン打込み終了後、導電膜4はPoly-Siを利用しているため、これを再度酸化することにより層間絶縁膜5の一部として利用できる。

導電膜を200~600Åの厚さで残す理由は、600Å以上の場合、バリア層的働きとなり、不純物の飛程が浅くなり低抵抗化がはかれない。また逆に200Å以下の場合、不純物の飛程が深くなり絶縁基板にまで拡散される。導電膜の膜厚が前記範囲にある場合にのみ低抵抗化が実現できる。

#### (実施例)

絶縁基板1上に常法によりPoly-Si活性層2を形成後(第1図A, B)、熱酸化により800Åの厚みのゲート絶縁膜3を形成する(第1図C)。ついでPoly-Siを成膜して基板表面にPoly-Si層4を形成する(第1図D)。ホトリソによりゲート電極を形成するが、ゲート部

ことができた。

- (3) ゲート電極形成と同時に200~600Åの導電膜を残すことでイオン注入時の帯電防止膜の形成を兼ねるので、従来技術と比較して工程短縮となる。

#### 4. 図面の簡単な説明

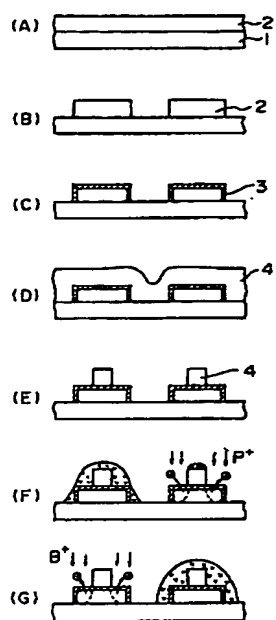
第1図は、本発明薄膜トランジスタの製法のプロセスフローを示す説明図、第2図は従来法の同様の説明図である。

- |          |       |
|----------|-------|
| 1…絶縁基板   | 2…活性層 |
| 3…ゲート絶縁膜 | 4…ゲート |
| 5…層間絶縁膜  |       |

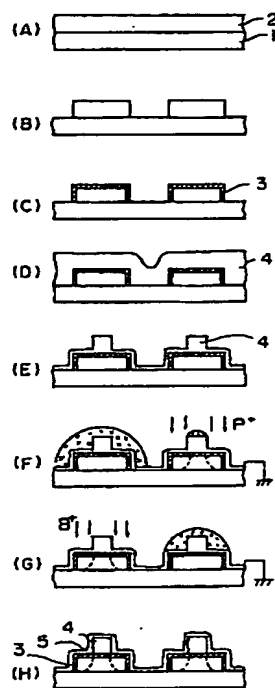
特許出願人 株式会社 リ コ ー  
代理人 井理士 友 松 英 剛



第 1 図



第 2 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**